

2/5/1 (Item 1 from file: 351)  
DIALOG(R) File 351: Derwent WPI  
(c) 2003 Thomson Derwent. All rts. reserv.

011118797 \*\*Image available\*\*

WPI Acc No: 1997-096722/ 199709

XRPX Acc No: N97-080154

Active matrix type display device with shading configuration - in which pixel electrode provided for each pixel of actuation substrate, is shaded using lattice like black matrix

Patent Assignee: SONY CORP (SONY )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 8334787	A	19961217	JP 9653845	A	19960216	199709 B

Priority Applications (No Type Date): JP 95104749 A 19950404.

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 8334787	A	11	G02F-001/136	

Abstract (Basic): JP 8334787 A

The display device has an actuation substrate (O) containing multiple pixels which are arranged in the shape of a matrix. An opposite substrate (12), to which a counter electrode (15) is connected, is arranged opposite to the actuation substrate at a predetermined interval. An LC layer is enclosed in the gap between the two substrates. A pixel electrode (1) is provided for each pixel of the actuation substrate.

A set of colour filters (8-10), are provided for each pixel electrode. The pixel electrodes are actuated by a TFT. A metal wiring pattern (6) which is arranged along the direction at which pixel array is formed, supplies image signal to each TFT from the pixel array. The opposite substrate has a shading pattern (13), which is formed along the direction of pixel array. The metal wiring pattern and the shading pattern are made to pass along the sides of the LC layer, respectively. The perimeter of each pixel electrode is shaded, using a lattice-like black matrix.

ADVANTAGE - Inhibits capacitive coupling and short circuits defects. Reduces alignment margin of opposite substrate and actuation substrate, precisely.

Dwg.2/14

Title Terms: ACTIVE; MATRIX; TYPE; DISPLAY; DEVICE; SHADE; CONFIGURATION; PIXEL; ELECTRODE; PIXEL; ACTUATE; SUBSTRATE; SHADE; LATTICE; BLACK; MATRIX

Derwent Class: P81; U12; U14

International Patent Class (Main): G02F-001/136

International Patent Class (Additional): G02F-001/1335

File Segment: EPI; EngPI

2/5/2 (Item 1 from file: 347)  
DIALOG(R) File 347: JAPIO  
(c) 2003 JPO & JAPIO. All rts. reserv.

05379287 \*\*Image available\*\*

DISPLAY DEVICE

PUB. NO.: 08-334787 [ JP 8334787 A]

PUBLISHED: December 17, 1996 (19961217)

INVENTOR(s): KADOTA HISASHI  
NAKAMURA SHINJI  
URAZONO TAKENOBU  
INOUE YUKO  
KUNII MASABUMI

APPLICANT(s): SONY CORP [000218] (A Japanese Company or Corporation), JP  
(Japan)  
APPL. NO.: 08-053845 [JP 9653845]  
FILED: February 16, 1996 (19960216)  
INTL CLASS: [6] G02F-001/136; G02F-001/1335  
JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment)  
JAPIO KEYWORD: R002 (LASERS); R004 (PLASMA); R096 (ELECTRONIC MATERIALS --  
Glass Conductors)

#### ABSTRACT

PURPOSE: To provide a metal black matrix structure which is suppressed in capacitor coupling and shorting defects while the margins at the joints between a counter substrate and a driving substrate are decreased.

CONSTITUTION: This display device has the panel structure provided with the driving substrate containing pixels arranged in a matrix form, the counter substrate joined to the driving substrate including counter electrodes and joined to the driving substrate via a prescribed spacing and liquid crystals held in the spacing between both. The driving substrate has pixel electrodes 1 arranged by every pixel, color filters arranged by matching to the respective pixel electrodes 1, TFTs driving the respective pixel electrodes 1 and metallic wiring patterns 6 for supplying image signals to TFTs in column units arranged along the column direction of the pixels. As against the arrangement, the counter substrate has light shielding patterns 13 arranged along the row direction of the pixels. The metallic wiring patterns 6 and the light shielding parts 13 intersect with each other across the liquid crystal, thereby constituting a grid-like black matrix in combination and shielding the light around the individual pixel electrodes 1. If driving circuits are formed around the screen containing the pixel electrodes 1 and the TFTs, these circuits are preferably provided with a black matrix on the counter substrate side.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-334787

(43) 公開日 平成8年(1996)12月17日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0		G 0 2 F 1/136	5 0 0
1/1335	5 0 0		1/1335	5 0 0

審査請求 未請求 請求項の数 5 F D (全 11 頁)

(21) 出願番号 特願平8-53845

(22) 出願日 平成8年(1996)2月16日

(31) 優先権主張番号 特願平7-104749

(32) 優先日 平7(1995)4月4日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 門田 久志

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 中村 真治

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 浦園 丈展

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 弁理士 鈴木 晴敏

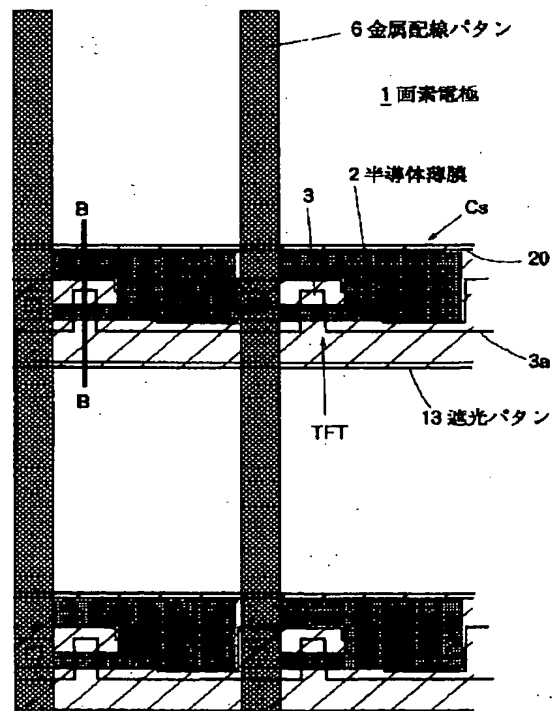
最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【要約】

【目的】 対向基板と駆動基板との合わせマージンを軽減しつつ、容量カップリングや短絡欠陥を抑制したメタルブラックマトリクス構造を提供する。

【構成】 表示装置は行列状に配置した画素を含む駆動基板と、対向電極を含み所定の間隙を介して駆動基板に接合した対向基板と、両者の間隙に保持された液晶とを備えたパネル構造を有する。駆動基板は、画素毎に配された画素電極1と、各画素電極1に整合して設けたカラーフィルタと、各画素電極1を駆動するTFTと、画素の列方向に沿って配され列単位でTFTに画像信号を供給する金属配線パタン6とを有する。これに対し、対向基板は画素の行方向に沿って配された遮光パタン13を有する。金属配線パタン6と遮光パタン13は液晶を挟んで互いに交差し、格子状のブラックマトリクスを複合的に構成して、個々の画素電極1の周囲を遮光する。又、画素電極1やTFTを含む画面の周辺に駆動回路が形成されている場合、これを遮光するブラックマスクを対向基板側に設けると良い。



## 【特許請求の範囲】

【請求項1】 行列状に配置した画素を含む駆動基板と、対向電極を含み所定の間隙を介して該駆動基板に接合した対向基板と、該間隙に保持された電気光学物質とを備えたパネル構造を有し、

前記駆動基板は、画素毎に配された画素電極と、各画素電極に整合して設けたカラーフィルタと、各画素電極を駆動するスイッチング素子と、画素の列方向に沿って配され列単位で各スイッチング素子に信号を供給する金属配線パターンとを有する一方、

前記対向基板は、画素の行方向に沿って配された遮光パターンを有し、

前記列方向の金属配線パターンと行方向の遮光パターンは電気光学物質を挟んで互いに交差し格子状のブラックマトリクスを複合的に構成して個々の画素電極の周囲を遮光する事の特徴とする表示装置。

【請求項2】 前記遮光パターンは行方向に沿ってストライプ状に形成された金属フィルムからなる事の特徴とする請求項1記載の表示装置。

【請求項3】 対向基板側の前記遮光パターンは画素の行方向に沿って配列した各スイッチング素子に整合してパタニング形成され電気光学物質の上から各スイッチング素子を遮光する一方、該駆動基板側には各スイッチング素子の直上に遮光パターンを設けない事の特徴とする請求項1記載の表示装置。

【請求項4】 前記駆動基板は、行列状に配置した画素を囲む周辺部に配され配線パターンを介して該スイッチング素子を駆動する周辺駆動回路を有しており、

前記対向基板は、該駆動基板の周辺部に配された該周辺駆動回路に整合して枠状にパタニングされた追加の遮光パターンを有している事の特徴とする請求項1記載の表示装置。

【請求項5】 行列状に配置した画素からなる画面を有する駆動基板と、対向電極を含み所定の間隙を介して該駆動基板に整合した対向基板と、該間隙に保持された電気光学物質とを備えたパネル構造を有し、

前記駆動基板は、画素毎に配された画素電極と、各画素電極を駆動するスイッチング素子と、画面の周辺部に配され該スイッチング素子を駆動する周辺駆動回路とを有する一方、

前記対向基板は、該駆動基板に配された該周辺駆動回路のみを遮光する様にパタニングされた遮光パターンを有する事の特徴とする表示装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明はアクティブマトリクス型の表示装置に関する。より詳しくは、画素電極を駆動するスイッチング素子が形成された駆動基板に周辺駆動回路やカラーフィルタ等を備えた構造を有するアクティブマトリクス型の表示装置における遮光構造に関する

る。

## 【0002】

【従来の技術】薄膜トランジスタ（以下、TFTと称する）を画素電極駆動用のスイッチング素子として用いるアクティブマトリクス型の表示装置は近年その開発が活発に行なわれている。従来、この種の表示装置では、ガラス等からなる透明な駆動基板上に同じく透明な画素電極を駆動する為のTFTが集積形成されている。TFTは半導体薄膜を活性層とし、その上にはゲート絶縁膜を介してゲート電極がパタニング形成されている。半導体薄膜にはソース領域とドレイン領域が設けられている。かかる構成を有するTFTは第1層間絶縁膜により被覆されている。この上には金属配線パターンが設けられており、コンタクトホールを介してソース領域に電気接続している。金属配線パターンは第2層間絶縁膜により被覆されている。その上には画素電極がパタニング形成されている。この画素電極は第2層間絶縁膜及び第1層間絶縁膜に形成したコンタクトホールを介してTFTのドレイン領域に電気接続している。この駆動基板に対して所定の間隙を介してガラス等からなる対向基板が接合している。対向基板の内表面には透明な対向電極が形成されている。駆動基板と対向基板の間に液晶等の電気光学物質が保持されている。対向基板の内表面には画素電極をRGB三原色に着色する為カラーフィルタが形成されている。又、個々の画素電極の周囲を遮光する為ブラックマトリクスも形成されており、光漏れを防止して表示コントラストの改善を図っている。この従来構造では、対向基板側にカラーフィルタとブラックマトリクスが形成されている。この為、対向基板と駆動基板を精密にアライメントする必要がある。しかしながら、画素の高精細化が進むにつれ精密なアライメントが困難になっている。そこで、カラーフィルタを駆動基板側に形成した、所謂オンチップカラーフィルタ構造が開発されている。このオンチップカラーフィルタ構造は、例えば特開平2-54217号公報、特開平3-237432号公報、特開平3-72322号公報、特開平3-119829号公報、特開平4-253028号公報、特開平2-153325号公報、特開平5-5874号公報等に開示されている。駆動基板側にカラーフィルタを設けた構造は、対向基板側にカラーフィルタを形成した構造に比べ種々の利点を有している。例えば、カラーフィルタが個々の画素電極と重なっている為、両者の間に視差が生ぜず画素部の実効開口率を大きくとれる。又、画素電極とカラーフィルタのアライメント誤差が殆どなくなるので、画素部が微細化しても高開口率を維持できる。又、従来のアクティブマトリクス型表示装置では、画素電極やこれを駆動するTFTからなるスイッチング素子に加え、周辺部に垂直駆動回路や水平駆動回路等も内蔵されている。TFTとして多結晶シリコン薄膜トランジスタを用いた場合、画素電極を駆動するスイッチング素子に加

え、このスイッチング素子を駆動する周辺の駆動回路も同一基板上に形成できるので有利である。周辺駆動回路は行列状に配置された画素電極からなる画面の周辺に配され、表示には直接寄与しない。そこで、従来周辺駆動回路の上に絶縁膜を介して金属膜等からなる遮光パタンを設けていた。これにより、アクティブマトリクス型の表示装置の周辺部からの光漏れを防止している。

#### 【0003】

【発明が解決しようとする課題】ところで、実際にはオンチップカラーフィルタ構造のみの採用では、対向基板側にブラックマトリクスが残されている限り重ね合わせマージンはあまり減らず、開口率はそれほど向上しない。そこで、ブラックマトリクスも駆動基板側に形成したオンチップブラックマトリクス構造との併用が必須となる。この場合、カラーフィルタの上に重ねてブラックマトリクスを形成する構造が考えられる。この様にすれば、ブラックマトリクスを金属膜で形成しても金属配線パタンとの短絡欠陥やゲート配線との容量カップリング等の心配は殆どない。しかしながら、カラーフィルタ上のブラックマトリクス形成は金属膜剥離等の問題があり製造技術的に極めて困難である。これに対し、カラーフィルタの下方に金属膜からなるブラックマトリクスを形成する構造も考えられる。しかしながら、この構造ではゲート配線との容量カップリングが大きくなる。さらに、信号線等金属配線パタンとの交差部で短絡欠陥の危険がある。これを防ぐ為には金属ブラックマトリクスを電氣的にフローティング状態にする事が必要である。しかしながら、これでは画素電極とスイッチング素子とのコンタクト部からメタルブラックマトリクスを部分的に除去する必要が生じ、コンタクト部周りの遮光が不完全となり光漏れが生ずる。従って、メタルブラックマトリクスをフローティングにする事も困難である。容量カップリングの問題は周辺駆動回路の上部に金属膜等からなる遮光パタンのブラックマスクを形成した場合にも発生する。周辺駆動回路の上部を金属膜で被覆すると容量が増加し駆動能力が低下する。

#### 【0004】

【課題を解決するための手段】上述した従来の技術の課題に鑑み、本発明はオンチップカラーフィルタ構造を採用した表示装置において駆動基板と対向基板の重ね合わせマージンを増加させる事なく、且つ金属配線パタンとの短絡欠陥や容量カップリングを抑制可能なメタルブラックマトリクス構成を提供する事を目的とする。又、画素電極やそのスイッチング素子を集積形成した画面に加えてその周辺に配された駆動回路を同時に内蔵した表示装置において、容量カップリングを生じることなく周辺の駆動回路を遮光可能なブラックマスク構成を提供することを目的とする。かかる目的を達成する為に以下の2通りの手段を講じた。第1の手段によれば、本発明にか

画素を含む駆動基板と、対向電極を含み所定の間隙を介して該駆動基板に接合した対向基板と、該間隙に保持された電気光学物質とを備えている。前記駆動基板は、画素毎に配された画素電極と、各画素電極に整合して設けたカラーフィルタと、各画素電極を駆動するスイッチング素子と、画素の列方向に沿って配され列単位で各スイッチング素子に信号を供給する金属配線パタンとを有する。これに対し、前記対向基板は画素の行方向に沿って配された遮光パタンを有する。前記列方向の金属パタンと行方向の遮光パタンは電気光学物質を挟んで互いに交差し、格子状のブラックマトリクスを複合的に構成して個々の画素電極の周囲を遮光する。好ましくは、前記遮光パタンは行方向に沿ってストライプ状に形成された金属フィルムからなる。又好ましくは、対向基板側の前記遮光パタンは画素の行方向に沿って配列した各スイッチング素子に整合してパタニング形成され、電気光学物質の上から各スイッチング素子を遮光する。これに応じて、該駆動基板側には各スイッチング素子の直上に遮光パタンを設けない様にしている。第2の手段によれば、本発明にかかる表示装置は基本的な構成として、行列状に配置した画素からなる画面を有する駆動基板と、対向電極を含み所定の間隙を介して該駆動基板に接合した対向基板と、該間隙に保持された電気光学物質とを備えたパネル構造を有する。前記駆動基板は、画素毎に配された画素電極と、各画素電極を駆動するスイッチング素子と、画面の周辺部に配され該スイッチング素子を駆動する周辺駆動回路とを有する。これに対し、前記対向基板は該駆動基板に配された周辺駆動回路のみを遮光するようにパタニングされた遮光パタン（ブラックマスク）を有する。

【0005】本発明の一側面によれば、対向基板は画素の行方向に沿って配された遮光パタンを有する一方、駆動基板は画素の列方向に沿って配された金属パタンを有している。行方向の遮光パタンと列方向の金属配線パタンは電気光学物質を挟んで互いに交差し格子状のブラックマトリクスを複合的に構成して、個々の画素電極の周囲を遮光する。この際、対向基板と駆動基板は互いに二次元的にアライメントする必要はなく、行方向の遮光パタンが駆動基板側に形成したスイッチング素子の行に整合する様に一次元方向（列方向）に関してのみ精密なアライメントを行なえば良い。従って、駆動基板と対向基板の重ね合わせマージンは比較的小さな量で済む。即ち、本発明によればブラックマトリクスの行と列とを対向基板と駆動基板とで分割したヘテロ構造を採用する事により、両基板のアライメント精度を緩和している。対向基板側の遮光パタンは画素の行方向に沿って配列した各スイッチング素子に整合してこれを完全に遮光している。従って、駆動基板側には各スイッチング素子の直上に別途金属遮光パタンを設ける必要がない。この為、駆動基板側において従来生じていた金属遮光膜と金属配線

5

間の短絡欠陥や容量カップリングを除去する事が可能になる。又、本発明の他の側面によれば、駆動基板側に周辺駆動回路が形成されている一方、これを遮光するブラックマスクとしての遮光パタンは対向基板側に形成されている。従って、従来の様に駆動回路とブラックマスクとの間での容量カップリングが生じない為、駆動回路の駆動能力を低下させる惧れがない。又、対向基板側に形成されるブラックマスクは単純なパタンを有しており、駆動基板側に対する対向基板側の重ね合わせマージンを余分にとる必要はない。

## 【0006】

【発明の実施の形態】以下図面を参照して本発明の好適な実施例を詳細に説明する。図1は本発明にかかる表示装置の第1実施例を示す模式的な部分平面図である。本表示装置は基本的な構成として、行列状に配置した画素を含む駆動基板と、対向電極を含み所定の間隙を介して駆動基板に接合した対向基板と、この間隙に保持された液晶等の電気光学物質とを備えたパネル構造を有している。駆動基板は画素毎に配された画素電極1と、各画素電極に整合して設けたカラーフィルタと、各画素電極1を駆動するスイッチング素子としてのTFTと、画素の列方向に沿って配され列単位で各TFTに画像信号を供給する金属配線パタン（信号線）6とを有する。このTFTは半導体薄膜2を活性層として形成されており、ゲート電極3を備えている。このゲート電極3は画素の行方向に沿って形成されたゲート線3aの一部を構成している。加えて、画素の行方向に沿って補助容量線20もパタニング形成されており、半導体薄膜2との間で補助容量Csを構成している。

【0007】一方、対向基板は画素の行方向に沿って配された遮光パタン13を有している。この行方向の遮光パタン13は駆動基板側に形成された列方向の金属配線パタン6と電気光学物質を挟んで互いに交差しており、格子状のブラックマトリクスを複合的に構成して個々の画素電極1の周囲を遮光している。遮光パタン13は行方向に延在している為、金属配線パタン6に対し行方向のアライメントをとる必要はない。列方向について一次元的なアライメントをとれば足りるので、従来に比し重ね合わせマージンを縮小しても問題が生じない。本例では、この遮光パタン13は行方向に沿ってストライプ状に形成された金属フィルムからなる。対向基板側の遮光パタン13は画素の行方向に沿って配列したTFTに整合してパタニング形成され、電気光学物質の上から各TFTを完全に遮光している。従って、駆動基板側には各TFTの直上に遮光パタンを別途設ける必要がない。この為、従来問題となっていた金属遮光膜と金属配線との間の短絡欠陥を防止する事ができる。又、金属遮光膜と信号線やゲート線との間で生じていた容量カップリングも除去する事ができる。

【0008】図2及び図3は、図1に示したカラー表示

6

装置の断面構造を示す模式図である。図2は、図1に示したA-A線に沿って切断した断面図であり、図3は同じく図1に示したB-B線に沿って切断した断面図である。図2及び図3に示す様に、ガラス等の透明材料からなる駆動基板0には、例えば多結晶シリコン等からなる半導体薄膜2が成膜されている。この上にはゲート絶縁膜を介してゲート電極3がパタニング形成されており、前述した画素スイッチング用のTFTが形成される。又、この半導体薄膜2を一方の電極とし、補助容量線20を他方の電極として補助容量Csが形成されている。これらの薄膜素子TFT及びCsはPSG等からなる第1層間絶縁膜4により被覆されている。その上にはアルミニウム等からなる金属配線パタン（信号線）6が形成されており、コンタクトホールを介してTFTのソース領域に接続している。この金属配線パタン6は同じくPSG等からなる第2層間絶縁膜5により被覆されている。この第2層間絶縁膜5の上には画素毎に配されたカラーフィルタ8, 9, 10がパタニング形成されている。カラーフィルタ8は例えば赤色に着色され、カラーフィルタ9は緑色に着色され、カラーフィルタ10は青色に着色されている。これらのカラーフィルタ8, 9, 10は平坦化膜11により被覆されている。その上には画素電極1がパタニング形成され、平坦化膜11に開口したコンタクトホールを介してTFTのドレイン領域に電気接続する。

【0009】かかる構成を有する駆動基板0に対し、所定の間隙を介して同じくガラス等の透明材料からなる対向基板12が接合している。対向基板12の内表面には金属フィルムからなる遮光パタン13が形成されている。この遮光パタン13は駆動基板0側の金属配線パタン6と交差して複合的にブラックマトリクスを構成する。遮光パタン13は平坦化膜14により被覆されており、その上には同じくITO等の透明導電材料からなる対向電極15が全面的に形成されている。両基板0, 12の間隙には液晶16等の電気光学物質が封入されており、アクティブマトリクス型のカラー表示装置を構成する。

【0010】引き続き図2及び図3を参照して、図1に示した本発明にかかるカラー表示装置の第1実施例の製造方法を詳細に説明する。先ず、ガラス等からなる駆動基板0の上に半導体薄膜2、例えば多結晶シリコンを70~100nmの厚みで成膜する。必要ならば、Si<sup>+</sup>イオンを打ち込み非晶質化した後、600℃程度で加熱処理（アニール）して大粒径化を図る。あるいは、エキシマレーザ光を照射してアニールを行なっても良い。この半導体薄膜2は所定の形状にパタニングされる。この上に熱酸化法あるいはLPCVD法等の手段を用いてゲート絶縁膜を10~100nmの厚みで成膜する。次いで、多結晶シリコンあるいはMoSi, WSi, Al, Ta, Mo/Ta, Mo, W, Ti, Cr等の金属を成膜

7

し、パタニングしてゲート電極3及びゲート線3aに加工する。なお、ゲート電極3として多結晶シリコンを用いた場合は低抵抗化を図る為、P等を熱拡散する工程が入る事がある。この後、ゲート電極3をマスクとしてイオンインプランテーションあるいはイオンドーピングにより不純物イオンを打ち込み、ソース領域及びドレイン領域を形成する。多結晶シリコンからなるゲート構造を採用した場合、1000℃程度の熱アニールを加え不純物の活性化を図る。金属ゲート構造を採用した場合、耐熱性の観点から低温アニール又はレーザアニールを加え不純物の活性化を図る。

【0011】続いて、PSG、NSG等を約600nmの厚みで常圧CVD法により成膜し第1層間絶縁膜4とする。これにソース領域に連通するコンタクトホールを開く。次いで、アルミニウム等の導電性薄膜をスパッタ等により400~600nmの厚みで成膜する。これを所定の形状にパタニングし、金属配線パターン(信号線)6に加工する。この上に、例えばPSG等を常圧CVD法により約400nmの厚みで堆積し、第2層間絶縁膜5を形成する。この後、TFTの性能を改善する為水素化工程を行なう。この水素化工程では、例えば水素プラズマ中に駆動基板0を曝露する。あるいはP-SiN<sub>x</sub>膜を成膜し、アニールして水素を半導体薄膜2に拡散させる。この水素化工程後、画素電極との電気接続をとる為の開口を第1層間絶縁膜4及び第2層間絶縁膜5に設ける。

【0012】この第2層間絶縁膜5の上に、例えば顔料を分散した有機感光材料からなるカラーレジストを0.5~3.0μm程度の膜厚で塗布し、露光、現像、焼成を行ない、カラーフィルタ8, 9, 10を形成する。この工程は赤、緑、青毎に違ったカラーレジストを用い、上述した露光、現像、焼成を3回繰り返し、RGB三原色のカラーフィルタ8, 9, 10を集積形成する。このカラーフィルタ8, 9, 10の上に有機透明材料からなる平坦化膜11をスピコートし、1.0~3.0μm程度の膜厚で成膜する。この有機透明材料としてはアクリル樹脂やポリイミド樹脂を用いる事ができる。この工程で、駆動基板0上の凹凸が平坦化され、液晶16の配向性に優れた基板構造が得られる。同時に、カラーフィルタ8, 9, 10中に含まれる不純物が液晶16に拡散する事を防止できる。この後、平坦化膜11にコンタクトホールを開く。次いで、例えばITO等からなる透明導電膜を50~200nmの厚みでスパッタ等により成膜し、所定の形状にパタニングして画素電極1に加工する。以上で駆動基板0の積層構造が完成する。

【0013】これに対し、ガラス等の透明材料からなる対向基板12に、画素の行方向(横方向)の遮光を行なう為、金属フィルム製の遮光パターン13をストライプ状にパタニング形成する。この遮光パターン13と合わせてアライメントマークも対向基板12の周辺に形成する。

8

その上に平坦化膜14を塗布した後、ITO等からなる透明導電膜を全面的に形成して対向電極15を設ける。この後、両基板0, 12に配向膜を塗布し、ラビング処理後両基板をアライメントマークに従って互いに接合する。この位置合わせは、従来の上下左右方向に関する二次元的なアライメントとは異なり、上下方向のみのアライメントで済む事から、重ね合わせマージンは従来に比べて少なく済む。最後に、両基板0, 12の間に液晶16を注入して、アクティブマトリクス型のカラー表示装置が完成する。

【0014】図4及び図5は本発明にかかる表示装置の第2実施例を示す模式的な部分断面図である。基本的には図1, 図2及び図3に示した第1実施例と同様であり、対応する部分には対応する参照番号を付して理解を容易にしている。異なる点は、第1実施例がトップゲート型のTFTを採用したのに対し、本実施例はボトムゲート型のTFTを画素電極駆動用のスイッチング素子に用いている。なお、図4は図1に示したA-A線に沿って切断した断面構造に対応し、図5はB-B線に沿って切断した断面構造に対応している。換言すると、図4は図2に対応し、図5は図3に対応している。この構造を作成する場合には以下の工程を行なう。まず、駆動基板0上に多結晶シリコンあるいはMoSi, WSi, Al, Ta, Mo/Ta, Mo, W, Ti, Cr等の金属を成膜し、所定の形状にパタニングしてゲート電極3、ゲート線3a、補助容量線20等に加工する。このゲート電極形成後SiO<sub>2</sub>, SiO<sub>x</sub>N<sub>y</sub>等をスパッタ法又はプラズマCVD法等により約100~500nmの厚みで成膜し、ゲート絶縁膜とする。場合によっては、金属ゲート電極3の陽極酸化膜をゲート絶縁膜に用いても良い。あるいは、陽極酸化膜とSiO<sub>2</sub>, SiO<sub>x</sub>N<sub>y</sub>等を重ねてゲート絶縁膜にしても良い。続いて、多結晶シリコン、非晶質シリコン等をスパッタ法、プラズマCVD法等により約30~100nmの厚みで成膜し、活性層となる半導体薄膜2を設ける。必要ならば、エキシマレーザ光等を照射し結晶化させる。プラズマCVD法を用いる場合は、ゲート絶縁膜と半導体薄膜2を連続的に成膜できる。半導体薄膜2を形成した後、SiO<sub>2</sub>を成膜し所定の形状にパタニングして保護膜17とする。これをマスクとしてイオンドーピング又はイオンインプランテーションにより不純物を半導体薄膜2に打ち込みソース/ドレイン領域を形成する。イオン打ち込みに代え、プラズマCVDで形成したドーパント非晶質シリコン等を用い不純物拡散を行なっても良い。この様にして完成したボトムゲート型のTFTを第1層間絶縁膜4で被覆する。これにコンタクトホールを開いた後、Al等の金属膜を形成し、所定の形状にパタニングして金属配線パターン(信号線)6に加工する。次いで、常圧CVD法により第2層間絶縁膜5を形成する。この第2層間絶縁膜5にも予めコンタクトホールを開く。この第2層間

絶縁膜5の上にカラーフィルタ8, 9, 10を格子状にパタニング形成する。この形成方法は第1実施例と同様である。さらに、カラーフィルタ8, 9, 10を被覆する様に平坦化膜11を成膜する。この平坦化膜11を透明な有機感光材料で構成した場合、精密なフォトリソグラフィによりコンタクトホールを開口できる。この後、平坦化膜11の上に透明導電膜を成膜し、格子状にパタニングして画素電極1を形成する。

【0015】これに対し、対向基板12の内表面に横方向の遮光を行なう為、金属フィルムをストライプ状にパタニングして遮光パタン13を設ける。同時に、対向基板12の周辺部に合わせマークをパタニングする。その上に、平坦化膜14を介して対向電極15を全面的に形成する。この後、両基板12, 0に各々配向膜を塗布し、ラビング処理した後、両基板12, 0を合わせマークにより互いに接合する。このアライメントは従来の上下左右方向の二次元的な位置合わせとは異なり、上下方向のみの一次元的な位置合わせである事から、重ね合わせマージンは従来に比べて少なく済む。最後に、両基板12, 0のパネル構造の間隙に液晶16を注入封止する。

【0016】図6は、本発明にかかる表示装置の第3実施例を示す模式的な平面図である。基本的な構成は図1に示した第1実施例と同様であり、対応する部分には対応する参照番号を付して理解を容易にしている。異なる点は、画素電極1がデルタ配列している事であり、図1の配列に比べ見掛け上解像度が改善される。本例においても、列方向の金属配線パタン6と行方向の遮光パタン13は液晶を挟んで互いに交差しており、格子状のブラックマトリクスを複合的に構成して、個々の画素電極1の周囲を遮光している。なお、駆動基板側に形成した金属配線パタン6は、図1に示した実施例と異なり、画素電極1のデルタ配列に応じて蛇行配線されている。

【0017】図7, 図8及び図9は表示装置の第1参考例を示す模式図である。図9は、図1と対応した平面図であり、図7は図9に示したA-A線に沿って切断した部分断面図であり、図8は同じく図9に示したB-B線に沿って切断した部分断面図である。この参考例は基本的に図1に示した第1実施例と類似の構成を有しており、対応する部分には対応する参照番号を付して理解を容易にしている。異なる点は、ブラックマトリクスの一部を構成する遮光パタンが対向基板12側に形成されておらず、駆動基板0側に遮光パタン7が形成されている事である。即ち、この第1参考例は完全なオンチップブラックマトリクス構造となっている。この金属からなる遮光パタン7は第2層間絶縁膜5の上にパタニング形成されている。その上にはカラーフィルタ8, 9, 10が重ねて形成されている。しかしながら、この第1参考例では金属遮光パタン7を介した信号線6と画素電極1間の容量カップリングやゲート線3aと画素電極1間の容

量カップリングが大きく、表示品位が損なわれる。又、金属遮光パタン7と信号線6とは第2層間絶縁膜5により互いに絶縁されているが、場合によっては第2層間絶縁膜のカパレージが悪い部分や信号線6の変形が生じた部分で短絡欠陥が発生する危険性がある。これに対し、本発明では金属遮光パタンを対向基板側に移しているで、容量カップリングや短絡欠陥の心配はなくなる。

【0018】図10及び図11は表示装置の第2参考例を示す模式的な部分断面図である。この第2参考例は第1参考例と基本的に類似しており、図10は図7に対応する一方図11は図8に対応している。又、両参考例に対応する部分には対応する参照番号を付して理解を容易にしている。異なる点は、図7, 図8, 図9に示した第1参考例がトップゲート型のTFTをスイッチング素子として採用しているのに対し、図10及び図11に示した第2参考例ではボトムゲート型のTFTを採用している事である。この第2参考例でも、金属遮光パタン7が対向基板12側ではなく駆動基板0側に形成されており、オンチップカラーフィルタ構造と組み合わせで完全なオンチップブラックマトリクス構造となっている。しかしながら、この参考例では容量カップリングや短絡欠陥等の不具合を生じる恐れがある。

【0019】図12は表示装置の第3参考例を表わしており、基本的には図7に示した第1参考例と類似している。対応する部分には対応する参照番号を付して理解を容易にしている。図7に示した第1参考例と異なる点は、金属遮光パタン7が第2層間絶縁膜5の上ではなく、カラーフィルタ8, 9, 10の上にパタニング形成されている事である。この様にすれば、第1参考例及び第2参考例で問題となっていた容量カップリングや短絡欠陥の問題はある程度低減可能である。しかしながら、実際には膜剥離等が多発する為、カラーフィルタ8, 9, 10の上に安定した金属遮光パタン7を成膜する事は製造プロセス上非常に困難である。

【0020】次に、本発明の第2側面に関連した第4実施例を図13に基づいて説明する。図示する様に、駆動基板101は画素電極104及びそのスイッチング駆動用の薄膜トランジスタ106を包含する画面113と、この画面113を動作させる垂直駆動回路114及び水平駆動回路115を包含する周辺部116とに区分されている。なお、画面113には信号線Xとゲート線Yも互いに直交して設けられている。又、駆動基板101の上端部には外部接続用の端子117も設けられている。かかる構成において、駆動基板101の画面113上には薄膜トランジスタ106等を遮光するブラックマトリクスが形成されている(図示省略)。一方、対向基板102側には金属膜を枠状にパタニングした遮光パタン112からなるブラックマスクが形成されている。この対向基板102側に設けられたブラックマスクは垂直駆動回路114及び水平駆動回路115の領域のみを選択的



に遮光している。今仮に、表面の凹凸が激しい垂直駆動回路114や水平駆動回路115を駆動基板101側のブラックマトリクスで遮光すると、短絡不良や静電ダメージが発生しやすく欠陥につながる。又、これらの周辺駆動回路の直上に金属膜を遮光パターンとして成膜した場合容量カップリングが生じ駆動能力が低下する。この点に鑑み、本実施例では垂直駆動回路114及び水平駆動回路115の領域のみを対向基板102側のブラックマスクで遮蔽している。

【0021】図14は、図13に示した表示装置の断面構造を表わしている。本表示装置はガラス等からなる駆動基板101と同じくガラス等からなる対向基板102とを所定の間隙を介して接合したパネル構造を有している。両基板101、102の間隙には電気光学物質として例えば液晶103が保持されている。駆動基板101には画素電極104がマトリクス状にパタニング形成されている。画素電極104は例えばITO等の透明導電膜からなる。一方、対向基板102の内表面には同じく透明導電膜からなる対向電極105が全面的に形成されている。ここで、駆動基板101には画素電極104を個々にスイッチング駆動する複数の薄膜トランジスタ106と、この薄膜トランジスタ106を被覆する第1層間絶縁膜107と、その上にパタニング形成され且つ薄膜トランジスタ106に接続する配線電極108と、この配線電極108を被覆する第2層間絶縁膜109と、その上にパタニング形成され下方の薄膜トランジスタ106を遮光するブラックマトリクス110とが形成されている。さらに、ブラックマトリクス110は平坦化膜111により被覆されている。前述した画素電極104はこの平坦化膜111の上にパタニング形成されている。ブラックマトリクス110は前述した様に薄膜トランジスタ106を外光から遮光している。画素電極104はブラックマトリクス110を介してドレイン領域D側の配線電極108に接続している。一方、ソース領域S側の配線電極108は信号線を構成する。この様に、駆動基板101は画素電極104及びそのスイッチング駆動用の薄膜トランジスタ106を包含する画素アレイ部(画面)を備えている。これに加え、画素アレイ部を動作させる周辺駆動回路を備えている。図示の例ではこの駆動回路は薄膜トランジスタ106aを構成要素としている。本実施例ではこの周辺駆動回路を遮光する様に、対向基板102側に金属膜等からなる遮光パターン112を設けている。この遮光パターン112からなるブラックマスクは駆動基板101側に設けられたブラックマトリクス110と一部重なっている。両者は比較的大きなマージンを持って互いに重ねる事ができ、駆動基板101と対向基板102を高精度で位置合わせする必要がない。

【0022】

【発明の効果】以上説明した様に、本発明の一側面によれば、対向基板側に横方向の遮光パターンを形成する一方、駆動基板側に縦方向の金属配線パターンを形成している。両者は液晶を挟んで互いに交差し、格子状のヘテロブラックマトリクスを構成して、個々の画素電極の周囲を遮光している。この様に、ブラックマトリクスの一部を対向基板側に配置する事で、駆動基板と対向基板の重ね合わせマージンを極端に増やす事なく、簡便な構造で実用的なメタルブラックマトリクス構造が得られる。

又、横方向の金属遮光パターンを基板側から分離して対向基板側に移動したので、従来問題となっていた金属遮光パターンと下地の配線パターンとの短絡欠陥や容量カップリングを抑制する事ができる。又、本発明の他の側面によれば、周辺の駆動回路を遮光するブラックマスクを駆動基板側から切り離し対向基板側に設けている。これにより、周辺の駆動回路を金属膜等で被覆する必要がなくなり、容量カップリングが顕著に抑制できる。

【図面の簡単な説明】

【図1】本発明にかかる表示装置の第1実施例を示す模式的な部分平面図である。

【図2】図1に示したA-A線に沿った部分断面図である。

【図3】図1に示したB-B線に沿って切断した部分断面図である。

【図4】本発明にかかる表示装置の第2実施例を示す模式的な部分断面図である。

【図5】同じく第2実施例を示す部分断面図である。

【図6】本発明にかかる表示装置の第3実施例を示す模式的な平面図である。

【図7】表示装置の第1参考例を示す部分断面図である。

【図8】同じく第1参考例を示す部分断面図である。

【図9】同じく第1参考例を示す部分平面図である。

【図10】表示装置の第2参考例を示す部分断面図である。

【図11】同じく第2参考例を示す部分断面図である。

【図12】表示装置の第3参考例を示す部分断面図である。

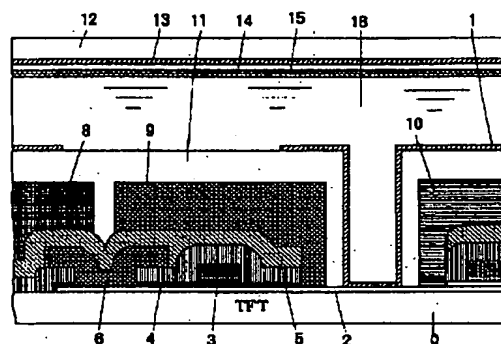
【図13】本発明にかかる表示装置の第4実施例を示す模式的な平面図である。

【図14】同じく第4実施例を示す模式的な部分断面図である。

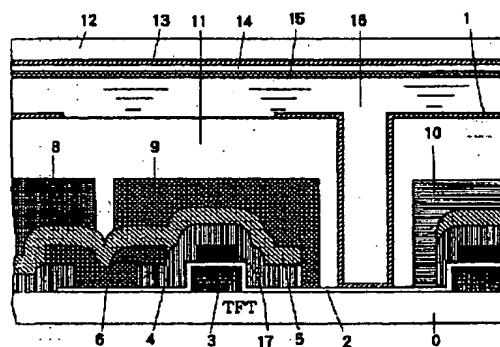
【符号の説明】

0…駆動基板、1…画素電極、2…半導体薄膜、3…ゲート電極、3a…ゲート線、4…第1層間絶縁膜、5…第2層間絶縁膜、6…金属配線パターン(信号線)、8…カラーフィルタ、9…カラーフィルタ、10…カラーフィルタ、11…平坦化膜、12…対向基板、13…遮光パターン、15…対向電極、16…液晶

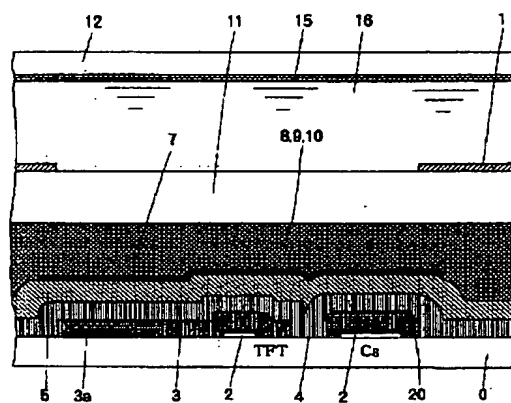
【图 2】



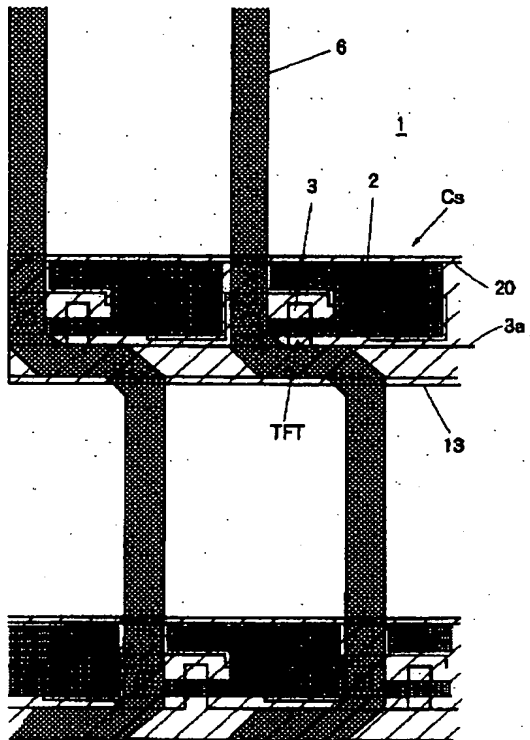
【图 4】



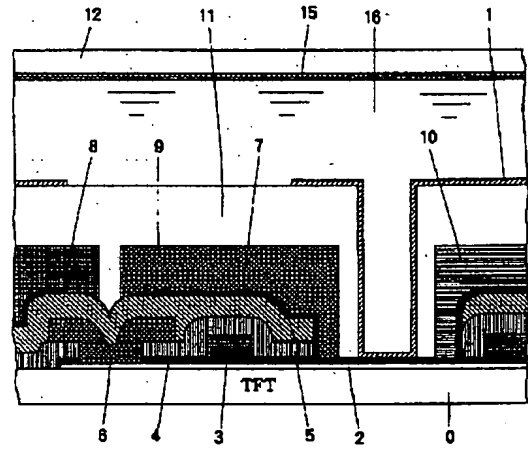
【图 8】



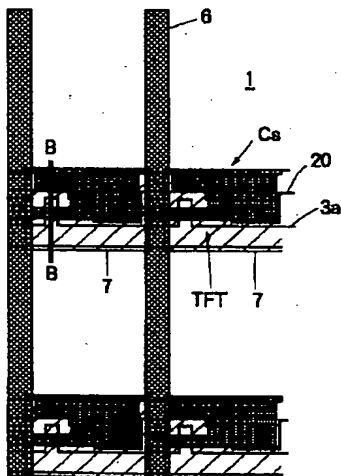
【図6】



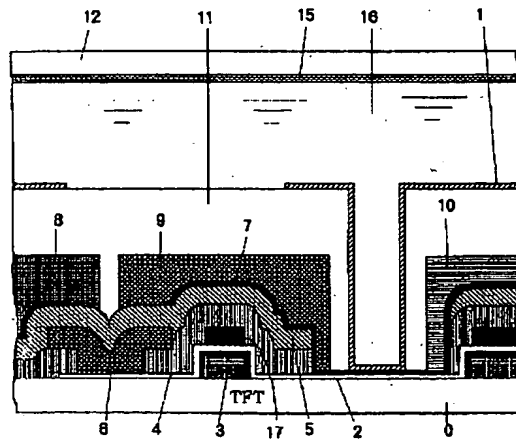
【図7】



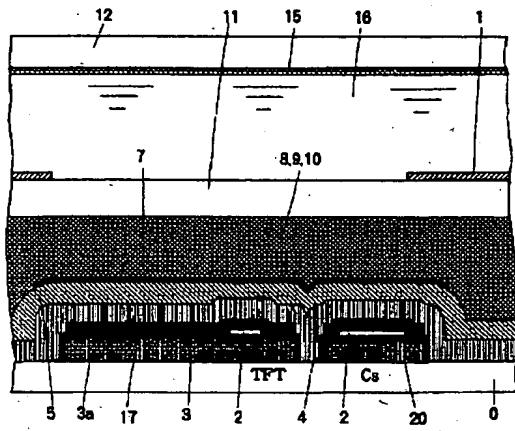
【図9】



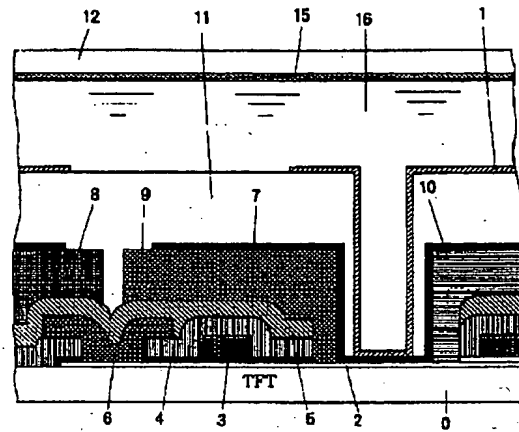
【図10】



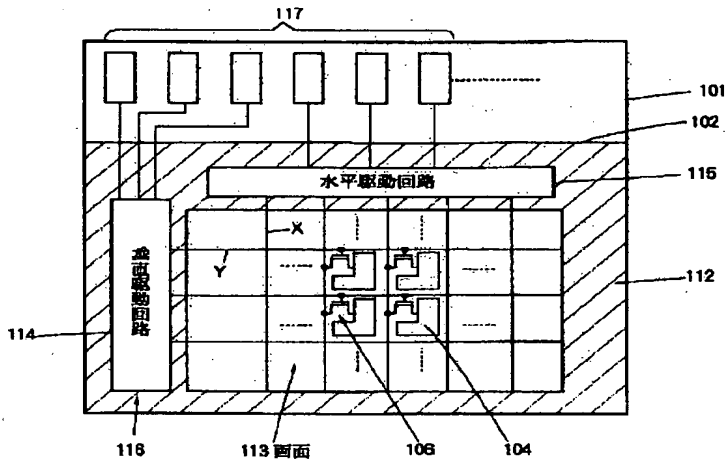
【図11】



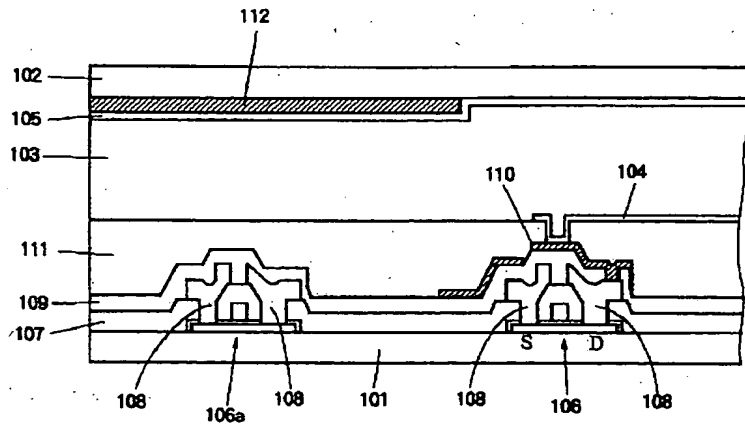
【図12】



【図13】



【図14】



フロントページの続き

(72)発明者 井上 祐子

東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内

(72)発明者 国井 正文

東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内